

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08274187 A

(43) Date of publication of application: 18.10.96

(51) Int.Cl  
H01L 21/8238  
H01L 27/092  
H01L 21/768  
H01L 29/78  
H01L 21/336

(21) Application number: 07103292

(71) Applicant: SONY CORP

(22) Date of filing: 27.04.95

(72) Inventor: KUBOTA MICHITAKA

(30) Priority: 03.02.95 JP 07 16581

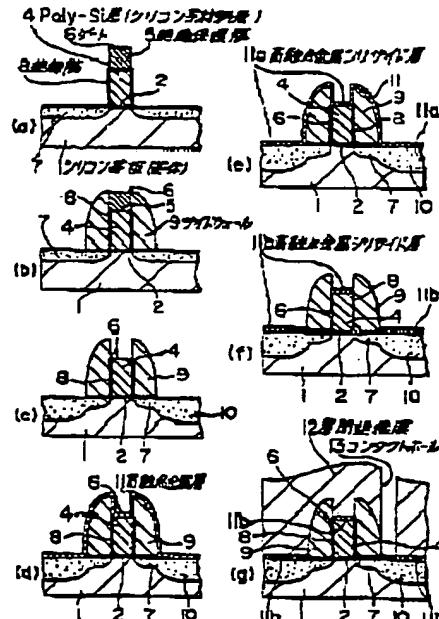
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract

PURPOSE: To provide a manufacturing method of a semiconductor device whereby a silicide process and an SAC process can be compatible with each other.

CONSTITUTION: In a first process of Fig. (a), a gate 6 comprising a Poly-Si layer 4 and an insulation protective film 5 is formed on the surface of an Si substrate 1. In a second process of Fig. (b), a sidewall 9 with a different etching rate from the insulation protective film 5 is formed on the sidewall portion of the gate 6, and in a third process of Fig. (c), the insulation protective film 5 is removed. In a fourth process of Fig. (d), high-melting-point metallic layers 11 are formed on the Si substrate 1, and these are reacted to form high-melting-point metallic silicide layers 11a (Fig. (e)). In a fifth process of Fig. (f), the unreacted high-melting-point metallic layers 11 are removed, and in a sixth process of Fig. (g), after an interlayer insulation layer 12 with an etching rate different from that of the sidewall 9 is formed on the Si substrate 1, a contact hole 13 is formed in the interlayer insulation layer 12, close to the outer side surface of the sidewall 9.

COPYRIGHT: (C)1996.JPO



mimosa

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/8238			H 01 L 27/08	3 2 1 F
27/092			21/90	J
21/768			27/08	3 2 1 D
29/78			29/78	3 0 1 P
21/336				3 0 1 G

審査請求 未請求 請求項の数2 OL (全7頁)

(21)出願番号 特願平7-103292  
 (22)出願日 平成7年(1995)4月27日  
 (31)優先権主張番号 特願平7-16581  
 (32)優先日 平7(1995)2月3日  
 (33)優先権主張国 日本 (JP)

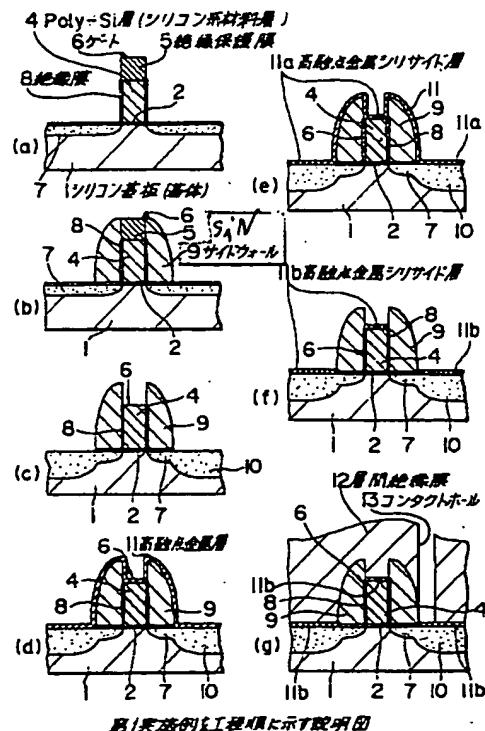
(71)出願人 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (72)発明者 塙田 通孝  
 東京都品川区北品川6丁目7番35号 ソニ  
 一株式ス株式会社内  
 (74)代理人 弁理士 船橋 國則

## (54)【発明の名称】 半導体装置の製造方法

## (57)【要約】

【目的】 サリサイドプロセスとSACプロセスとの双方を両立できる半導体装置の製造方法を提供すること。

【構成】 図1(a)の第1工程にて、Si基板1表面にPoly-Si層4と絶縁保護膜5とからなるゲート6を形成する。図1(b)の第2工程にて、ゲート6の側壁部に絶縁保護膜5とはエッチング速度の異なるサイドウォール9を形成し、図1(c)の第3工程にて絶縁保護膜5を除去する。図1(d)の第4工程にてSi基板1上に高融点金属層11を形成し、これらを反応させて高融点金属シリサイド層11aを形成する(図1(e))。図1(f)の第5工程にて、反応させなかつた高融点金属層11を除去し、図1(g)の第6工程にてSi基板1上にサイドウォール9とはエッチング速度の異なる層間絶縁膜12を形成した後、層間絶縁膜12にサイドウォールの外側面に近接させてコンタクトホール13を形成する。



## 【特許請求の範囲】

【請求項1】シリコン系材料からなる基体表面に、シリコン系材料層と絶縁保護膜とを順次積層した後、この積層体をゲートにパターン化する第1工程と、

前記ゲートを覆う状態で前記基体上に前記絶縁保護膜とはエッティング速度の異なる絶縁材料の層を形成した後、エッティングによってゲートの側壁部に前記絶縁材料からなるサイドウォールを形成する第2工程と、  
エッティングによって前記絶縁保護膜を除去する第3工程と、

前記サイドウォール表面と前記シリコン系材料層上とを覆う状態で前記基体上に高融点金属層または高融点金属化合物層を形成した後、前記基体、前記シリコン系材料層のそれぞれと前記高融点金属層または高融点金属化合物層とをシリサイド化反応させる第4工程と、

該第4工程でシリサイド化反応させなかった高融点金属層または高融点金属化合物層を除去する第5工程と、  
前記サイドウォール表面と前記シリコン系材料層上とを覆う状態で前記基体上に、前記サイドウォールとはエッティング速度の異なる材料により層間絶縁膜を形成した後、該層間絶縁膜に、前記サイドウォールの外側面に近接させてコンタクトホールを形成する第6工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記第1工程と前記第2工程との間に、前記シリコン系材料層の側壁に絶縁膜を形成する工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、CMOSなどの半導体装置の製造に適用される半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】半導体素子の微細化を達成する重要な技術の一つは、自己整合技術である。すなわち、例えばポリシリコン(Poly-Si)からなるゲートをマスクとしたイオン注入によって、ソース／ドレイン(S/D)拡散層を形成する場合のように、自己整合技術では、前の工程で規定された形状が自動的にマスクになることによりマスクずれがなどが発生しない。したがって、この技術は微細化の達成に有利である。

【0003】上記の自己整合技術は、S/D拡散層の形成工程の他の工程に応用することができる。代表的な例としては、シリサイド化工程において自己整合的にゲート上とS/D拡散層上とを同時にシリサイド化する、いわゆるシリサイドのプロセスや、自己整合的にコンタクトを形成する、いわゆるSAC(Self Aligned Contact)プロセスなどがある。シリサイドプロセスではシリサイド化によってゲートおよびS/D拡散層を低抵抗化でき、またSACプロセスでは微細なコンタクトの形成

が可能であるとともに、コンタクト形成の際のリソグラフィの合わせずれを前の工程で形成されたサイドウォール等で吸収できることから、これらのプロセスは高性能でかつ微細な半導体素子を得るのに特に有効である。従来のシリサイドプロセス、SACプロセスはそれぞれ、例えば以下のようにして行われている。

【0004】シリサイドプロセスでは、図3(a)に示すように、シリコン(Si)基板50上にゲート酸化膜51とPoly-Si層52とが順次積層されてなるゲート10を形成した後、後述するLDD(Lightly-Doped drain)拡散層56を形成するためのイオン注入をSi基板50に対して行う。次いでCVD法により、ゲート53を覆う状態でSi基板50上に酸化シリコン(SiO<sub>2</sub>) (図示せず)を堆積し、続いてRIEによるエッチバックによってゲート53の側壁部に、一般にLDDスペーサと呼ばれている、SiO<sub>2</sub>からなるサイドウォール54を形成する。

【0005】そしてイオン注入法によって、Si基板50におけるサイドウォール54の両側位置に、S/D拡散層55を形成する。なお、このとき、Si基板50のサイドウォール54の直下の箇所にはイオンが注入されないため、最終的にその箇所がLDD拡散層56になる。

【0006】次に図3(b)に示すように、CVD法またはスパッタリング法によって、Poly-Si層52上およびサイドウォール54の表面を覆う状態でSi基板50上にチタン(Ti)層を57を形成し、続いて第1回目の急速熱処理(RTA)(~600°C)を行う。これにより、Poly-Si層52とTi層57、S/D拡散層55位置のSi基板1とTi層57とがそれぞれシリサイド化反応し、Poly-Si層52上、つまりゲート53上とS/D拡散層55上とにC49相のチタンシリサイド(TiSi<sub>x</sub>)層58aが形成される。また、このときサイドウォール54表面上のTi層57は、サイドウォール54がSiO<sub>2</sub>からなっているためシリサイド化されない。

【0007】そして図3(c)に示すように、アンモニア過水などでサイドウォール54表面上のTi層57を選択的にエッティングして除去し、第2回目のRTA(~800°C)を行う。これによりTiSi<sub>x</sub>層58aは、C49相より低抵抗のC54相に相転移し、低抵抗のTiSi<sub>x</sub>層58bになる。

【0008】一方、SACプロセスでは、まずSi基板上にゲート酸化膜、Poly-Si層を積層形成した後、CVD法によってPoly-Si層上にSiO<sub>2</sub>層を形成する。次いで、SiO<sub>2</sub>層上にレジストパターンを形成した後、レジストパターンをマスクにしたRIEによって、図4(a)に示すように、Si基板60上のゲート酸化膜61、Poly-Si層62およびSiO<sub>2</sub>層63からなる積層体をゲート65のパターンに形成する。な

お、レジストパターンをマスクにしたRIEによってゲート酸化膜61をゲート65のパターンに形成した後、レジストパターンを除去し、次いで得られたゲート酸化膜61のパターンをマスクとしたエッチングによってPoly-Si層62およびSiO<sub>2</sub>層63をゲート65のパターンに加工しても良い。

【0009】次いで図4(b)に示すように、レジストパターン64を除去した後、図3(a)に示した工程と同様にしてLDD拡散層68を形成するためのイオン注入、サイドウォール66を形成するためのCVD、エッチバック、S/D拡散層67を形成するためのイオン注入を順に行う。このことによって、ゲート65の側壁部にサイドウォール66を形成するとともに、Si基板60におけるサイドウォール66の両側位置にS/D拡散層67を形成し、Si基板50のサイドウォール55の直下の箇所にLDD拡散層68を形成する。

【0010】次に図4(c)に示すように、CVD法によってゲート65を覆う状態でSi基板60上に窒化シリコン(SiN)層69を形成した後、SiN層69上にSiO<sub>2</sub>からなる層間絶縁膜70を形成する。そしてRIEにより、サイドウォール66の外側面に近接させて層間絶縁膜70にコンタクトホール71を形成する。このRIEの際、SiN層69はエッチングストップになる。さらに図示していないが、RIEによって、コンタクトホール71直下のSiN層69を除去し、コンタクトホール71内を埋込む状態で層間絶縁膜70上に金属配線層を形成してコンタクトを形成する。なお、SiN層69を形成する前にSiO<sub>2</sub>膜を形成しても良い。

#### 【0011】

【発明が解決しようとする課題】しかしながら、従来では以下の理由から、一連の半導体装置の製造において上記のサリサイドプロセスとSACプロセスとの双方を両立させることが困難であった。

【0012】すなわち、SACプロセスではサイドウォールの外側面に近接させてコンタクトホールを形成するので、ゲートとコンタクトホール内に埋込んだ金属配線層との導通を防止するために、サイドウォールの幅を厚くして絶縁耐圧を確保する必要がある。またサイドウォールの幅によって、サイドウォール直下に形成されるLDD拡散層の大きさが規定されるため、サイドウォールの幅は所定の厚みが必要である。一方、このサイドウォールはRIEなどの異方性エッチングによるエッチバックによって形成されるので、ゲートを高くしないとサイドウォールの幅を厚くできない。したがって従来のSACプロセスでは、ゲートを高くするために、前述したようにPoly-Si層上にSiO<sub>2</sub>層を形成する必要がある。

【0013】これに対し、サリサイドプロセスでは、シリサイド化のためにゲートのPoly-Si層表面が露出している必要がある。以上のような理由から、一連の半導

体装置の製造においてサリサイドプロセスとSACプロセスとの双方を両立させることができないことが困難となっていた。

【0014】本発明は上記課題を解決するためになされたものであり、一連の半導体装置の製造においてサリサイドプロセスとSACプロセスとの双方を両立できる半導体装置の製造方法を提供することを目的としている。

#### 【0015】

【課題を解決するための手段】本発明の半導体装置の製造方法では、まず第1工程にて、シリコン系材料からなる基体表面に、シリコン系材料層と絶縁保護膜とを順次積層し、次いでこの積層体をゲートにパターン化する。次に第2工程にて、ゲートを覆う状態で基体上に上記絶縁保護膜とはエッチング速度の異なる絶縁材料の層を形成した後、エッチングによってこのゲートの側壁部に上記絶縁材料からなるサイドウォールを形成し、第3工程にてエッチングにより絶縁保護膜を除去する。続いて第4工程にて、サイドウォール表面とシリコン系材料層上とを覆う状態で基体上に高融点金属層または高融点金属化合物層を形成した後、基体、シリコン系材料層のそれぞれと高融点金属層または高融点金属化合物層とをシリサイド化反応させる。次いで第5工程にて、シリサイド化反応させなかった高融点金属層または高融点金属化合物層を除去する。次に第6工程にて、基体上にサイドウォールとはエッチング速度の異なる材料により層間絶縁膜を形成する。この際、サイドウォール表面とシリコン系材料層上とを覆う状態で層間絶縁膜を形成する。そしてこの層間絶縁膜に、上記サイドウォールの外側面に近接させてコンタクトホールを形成するようにする。

【0016】なお、この半導体装置の製造方法においては、上記第1工程と上記第2工程との間に、上記シリコン材料層の側壁に絶縁膜を形成することが望ましい。

#### 【0017】

【作用】本発明では、シリコン系材料層上に絶縁保護膜を形成することにより、ゲートを高くしているので、サイドウォールを形成するためのエッチングでは、ゲートとコンタクトホール内に埋込む金属配線層との間で十分な絶縁耐圧を確保できる厚み幅のサイドウォールが形成される。また層間絶縁膜を、サイドウォールとはエッチング速度の異なる、すなわちエッチング耐性の異なる材料で形成することから、コンタクトホール形成のためのエッチングではサイドウォールはエッチングされない。よってこのエッチングでは、サイドウォールの外側面にエッチングが規制されて、自己整合的にコンタクトホールが形成される。また、サイドウォールを絶縁保護膜とはエッチング速度の異なる絶縁材料で形成し、エッチングによってシリコン系材料層上の絶縁保護膜を除去すると、シリコン系材料層の上面が露出することから、高融点金属層または高融点金属化合物層形成後のシリサイド化反応工程では、自己整合的にかつ同時にゲート上と基体上とがシリサイド化される。

【0018】またシリコン材料層の側壁に絶縁膜を形成した後、ゲートの側壁部にサイドウォールを形成すれば、絶縁膜がバッファー層となって、シリコン材料層とサイドウォールとの間に生じる応力が緩和される。

【0019】

【実施例】以下、本発明の半導体装置の製造方法の実施例を図面に基づいて説明する。図1(a)～(g)は本発明の第1実施例を工程順に示す説明図である。ここでは本発明における基体としてシリコン(Si)基板を用い、まず図1(a)に示す第1工程にて、熱酸化法により、シリコン基板1表面に膜厚が6nmのゲート酸化膜2を形成する。

【0020】続いてCVD法によって、Si基板1上にゲート酸化膜2を介して、本発明のシリコン系材料層となるポリシリコン(Poly-Si)層4と、酸化シリコン(SiO<sub>2</sub>)からなる絶縁保護膜5とを順次積層する。このとき、Poly-Si層4の膜厚は150nm、絶縁保護膜5の膜厚は例えば150nmにする。次いで、絶縁保護膜5上にレジストパターン(図示せず)を形成した後、レジストパターンをマスクにしたエッチングによってPoly-Si層4と絶縁保護膜5とからなる積層体をゲート6のパターンに形成する。なお、上記レジストパターンをマスクとしたエッチングによって絶縁保護膜5をゲート6のパターンに形成した後、レジストパターンを除去し、続いて得られた絶縁保護膜5のパターンをマスクとしたエッチングによってPoly-Si層4をゲート6のパターンに加工しても良い。そしてイオン注入法によって、Si基板1にLDD拡散層7を形成する。

【0021】このような第1工程の後は、例えば熱酸化法により、Poly-Si層4の側壁にSiO<sub>2</sub>からなる絶縁膜8を形成する。なお、この熱酸化法によって、ゲート6の直下以外のゲート酸化膜2とSi基板1との界面にもSiO<sub>2</sub>が形成され、その部分のゲート酸化膜2は厚くなる。

【0022】次に第2工程にて、CVD法により、ゲート6を覆う状態で、すなわち絶縁膜8および絶縁保護膜5の表面を覆う状態で、ゲート酸化膜2を介してSi基板1上に絶縁材料の層(図示せず)を形成する。ここでは、この層として絶縁保護膜5とはエッチング速度の異なる、すなわちエッチング耐性の異なる窒化シリコン(SiN)層を例えば300nmの膜厚に形成する。次いでRIEによるエッチバックによって、図1(b)に示すように、[ゲート6の側壁部にSiNからなるサイドウォール9を形成する。]

【0023】次に図1(c)に示す第3工程にて、イオン注入法により、Si基板1におけるサイドウォール9の両側位置に、S/D拡散層10を形成する。なお、このとき、Si基板1のサイドウォール9の直下の箇所にはイオンが注入されないため、最終的にその箇所がLDD拡散層7になる。続いて、希釈したフッ酸などを用い

たウエットエッティングにより、絶縁保護膜5を選択的に除去する。なお、この工程では、同時にS/D拡散層10上のゲート酸化膜2も除去される。

【0024】その後、図1(d)に示す第4工程にて、CVD法またはスパッタリング法により、サイドウォール9表面とPoly-Si層4上とを覆う状態でSi基板1上に、例えばチタン(Ti)からなる高融点金属層11を形成する。続いて図1(e)に示すように、第1回目の急速熱処理(RTA)(～600℃)を行って、S/D拡散層7位置のSi基板1、Poly-Si層4のそれぞれと高融点金属層11とをシリサイド化反応させる。これにより、Poly-Si層上、つまりゲート6上と、S/D拡散層10上にC49相の例えばチタンシリサイド(TiSi<sub>2</sub>)からなる高融点金属シリサイド層11aが形成される。

【0025】そして図1(f)に示す第5工程にて、アンモニア過水などを用いたウエットエッティングにより、シリサイド化反応させなかったサイドウォール9表面上の高融点金属層11を選択的に除去し、続いて第2回目のRTA(～800℃)を行う。これにより高融点金属シリサイド層11aは、[C49相より低抵抗のC54相]に転移し、低抵抗の高融点金属シリサイド層11bとなる。

【0026】次に、図1(g)に示す第6工程にて、例えばCVD法により、サイドウォール9表面とPoly-Si層4上の高融点金属シリサイド層11bとを覆う状態でSi基板1上に層間絶縁膜12を形成する。層間絶縁膜12の形成材料としては、サイドウォール9とはエッチング速度の異なる材料が用いられ、ここでは層間絶縁膜12がSiO<sub>2</sub>からなる。

【0027】次いで層間絶縁膜12上にレジストパターン(図示せず)を形成した後、このレジストパターンをマスクにしたエッチングによって、サイドウォール9の外側面に近接させて層間絶縁膜12にコンタクトホール13を形成する。その際、コンタクトホール13は、S/D拡散層10上の高融点金属シリサイド層11bに到達するように形成する。そして図示していないが、コンタクトホール13内を埋込む状態で層間絶縁膜12上に金属配線層を形成してコンタクトを形成する。

【0028】上記した半導体装置の製造方法では、Poly-Si層4上に絶縁保護膜5を形成することによりゲート6を高くしているので、サイドウォール9を形成するためのエッチバックでは、ゲート6と後にコンタクトホール13内に埋込まれて形成される金属配線層との間に十分な絶縁耐圧を確保できる厚み幅のサイドウォール9を形成することができる。

【0029】また層間絶縁膜12を、サイドウォール9とはエッチング速度の異なる、つまりエッチング耐性の異なる材料で形成することから、コンタクトホール13形成のためのエッチングではサイドウォール9はエッチ

ングされない。よって、このエッティングでは、サイドウォール9の直下のLDD拡散層7がエッティングされるのを防止することができるとともに、サイドウォール9の外側面にエッティングが規制されて自己整合的にコンタクトホール13を形成することができる。つまりSACプロセスを行うことができるので、微細な半導体素子を形成することができる。

【0030】また、サイドウォール9を絶縁保護膜5とはエッティング速度の異なる絶縁材料で形成するので、エッティングによってPoly-Si層4上の絶縁保護膜5を選択的に除去することができる。そしてこの工程により、Poly-Si層4の上面とS/D拡散層10上のSi基板1表面とを露出させることができるので、自己整合的にかつ同時にゲート6上とS/D拡散層10上とをシリサイド化することができる。そしてこのシリサイド化によって、ゲート6とS/D拡散層10とを低抵抗化することができる。さらに絶縁材料からなるサイドウォール9によって、ゲート6とS/D拡散層10とを絶縁することができる。

【0031】したがって第1実施例によれば、一連の半導体装置の製造においてシリサイドプロセスとSACプロセスとの双方を両立させることができるので、ゲート6およびS/D拡散層10の低抵抗化と、トランジスタ(セル)の微細化とを同時に図ることができ、高性能かつ微細な半導体装置を製造することができる。

【0032】また第1実施例では、ゲート6のPoly-Si層4の側壁にSiO<sub>2</sub>からなる絶縁膜8を形成した後、ゲート6の側壁部にSiNからなるサイドウォール9を形成するので、絶縁膜8がバッファー層となって、Poly-Si層4とサイドウォール9との間に生じる応力を緩和することができる。よって、電気的、物理的な信頼性が向上した半導体装置を得ることができる。

【0033】なお、第1実施例では、熱酸化法によって上記絶縁膜8を形成した場合について説明したが、本発明における絶縁膜は、その他の方法、例えばCVD法によって形成することもできる。CVD法によって形成する場合には、ゲート6表面を覆う状態で、かつゲート絶縁膜2を介してSi基板1上に絶縁膜が形成されるが、第3工程の絶縁保護膜5の除去の際に、Si基板1上の絶縁膜をゲート酸化膜2とともに除去することができる。

【0034】またこの実施例では、本発明の高融点金属層がTi層からなる場合について説明したが、その他のタンクステン(W)やモリブデン(Mo)などの高融点金属層でも良いのはもちろんである。

【0035】次に、本発明の第2実施例を、図2(a)～(f)を用いて説明する。この実施例において、第1実施例と相異するのは、第1工程の後にPoly-Si層4の側壁に絶縁膜を形成せずに第2工程を行っている点と、第4工程にて高融点金属層の替わりに高融点金属化

合物層21を形成し、シリサイド化を行った後にS/D拡散層10を形成している点である。

【0036】すなわち、第1実施例と同様にして第1工程を行った後、第2工程にて、CVD法により、ゲート

6の表面を覆う状態でSi基板1上にSiN層(図示せず)例えば300nmの膜厚に形成する。さらにRIEによるエッチバックによって、図2(a)に示すように、ゲート6の側壁部にSiNからなるサイドウォール9を形成する。次に図2(b)に示す第3工程にて、希釈したフッ酸などを用いたウエットエッティングにより、絶縁保護膜5を選択的に除去する。

【0037】次いで図2(c)に示す第4工程にて、CVD法などにより、サイドウォール9表面とPoly-Si層4上とを覆う状態で、Si基板1上に例えばチタンナイトライド(Ti,N<sub>x</sub>)からなる高融点金属化合物層21を形成する。そして第1回目のRTA(～600℃)を行って、S/D拡散層7位置のSi基板1、Poly-Si層4のそれぞれと高融点金属化合物層21とをシリサイド化反応させる。これにより、Poly-Si層上、

つまりゲート6上と、S/D拡散層10上とにC49相の例えばTiSi<sub>x</sub>からなる高融点金属シリサイド層21a(図2(d)参照)が形成される。

【0038】次いで図2(e)に示すように、イオン注入法によって、Si基板1におけるサイドウォール9の両側位置にS/D拡散層10を形成する。なお、このとき、Si基板1のサイドウォール9の直下の箇所にはイオンが注入されないため、最終的にその箇所がLDD拡散層7になる。そして第1実施例の図1(f)に示す第5工程と同様に、第5工程にて、ウエットエッティングにより、シリサイド化反応させなかったサイドウォール9表面上の高融点金属化合物層21aを選択的に除去する。続いて第2回目のRTA(～1000℃)を行う。これにより高融点金属シリサイド層21aは、C49相より低抵抗のC54相に相転移し、低抵抗の高融点金属シリサイド層21b(図2(f)参照)となる。

【0039】次に、第1実施例の図1(g)に示す第6工程と同様に、図2(f)に示す第6工程にて層間絶縁膜12を形成した後、サイドウォール9の外側面に近接させて層間絶縁膜12にコンタクトホール13を形成する。そして図示していないが、コンタクトホール13内を埋込む状態で層間絶縁膜12上に金属配線層を形成してコンタクトを形成する。

【0040】このような半導体装置の製造方法においても、Poly-Si層4上に絶縁保護膜5を形成することによりゲート6を高くしているので、ゲート6とコンタクトホール13内に埋込んだ金属配線層との間で十分な絶縁耐圧を確保できる厚み幅のサイドウォール9を形成することができる。また層間絶縁膜12を、サイドウォール9とはエッティング速度の異なる材料で形成するので、自己整合的にコンタクトホール13を形成することができる。

きる。さらにサイドウォール9を絶縁保護膜5とはエッティング速度の異なる絶縁材料で形成し、Poly-Si層4上の絶縁保護膜5を選択的に除去してPoly-Si層4の上面とS/D拡散層10上のSi基板1表面とを露出させるので、自己整合的にかつ同時にゲート6上とS/D拡散層10上とをシリサイド化することができる。

【0041】したがって前述した第1実施例と同様に、一連の半導体装置の製造においてシリサイドプロセスとSACプロセスとの双方を両立させることができ、ゲート6およびS/D拡散層10の低抵抗化と、トランジスタの微細化とを同時に図るので、高性能かつ微細な半導体装置を製造することができる。

【0042】なお、第2実施例では、Poly-Si層4の側壁に絶縁膜を形成しなかった場合について説明したが、前述の実施例と同様に第1工程と第2工程との間に絶縁膜を形成する工程を行ってもよいのはもちろんである。またこの実施例では、本発明の高融点金属化合物層がTi, Ni層からなる場合について説明したが、他のW化合物やMo化合物などの高融点金属化合物層でも良いのは言うまでもない。

【0043】さらに第1、第2のいずれの実施例においても、本発明における絶縁保護膜、層間絶縁膜のそれらが不純物が導入されていないSiO<sub>2</sub>からなる場合について述べたが、サイドウォールとはエッティング速度の異なれば、不純物が導入されている絶縁材料、例えばPSGやBPSGで絶縁保護膜、層間絶縁膜を形成することができる。

【0044】また第1、第2のいずれの実施例においても、Si基板1上に層間絶縁膜12を形成した場合について述べたが、層間絶縁膜12の形成に先立ち、層間絶縁膜12に対して十分エッティング選択比のとれる絶縁膜、例えばSi<sub>3</sub>N<sub>4</sub>膜をSi基板1上に形成しておくことも可能である。この場合には、コンタクトホール13を形成するためのエッティングの際に上記絶縁膜がエッティングストップになるので、膜厚のばらつきを考慮すると十分オーバーエッティングを行う必要があるエッティングから、S/D拡散層10上の高融点金属シリサイド層11bまたは高融点金属シリサイド層21bをより確実に保護することができる。また、コンタクトをとるためのSi<sub>3</sub>N<sub>4</sub>膜等の絶縁膜の除去は、層間絶縁膜12のエッティング後に行う。

【0045】

【発明の効果】以上説明したように本発明の半導体装置の製造方法では、シリコン系材料層上に絶縁保護膜を形成してゲートを高くするので、サイドウォールを形成するためのエッティングでは、ゲートとコンタクトホール内

に埋込む金属配線層との間で十分な絶縁耐圧を確保できる厚み幅のサイドウォールを形成することができる。また層間絶縁膜を、サイドウォールとはエッティング速度の異なる材料で形成するため、サイドウォールによってエッティングが規制されて自己整合的にコンタクトホールを形成することができる。また、サイドウォールを絶縁保護膜とはエッティング速度の異なる絶縁材料で形成し、エッティングによってシリコン系材料層上の絶縁保護膜を除去して、シリコン系材料層の上面を露出させるので、高融点金属層または高融点金属化合物層形成後のシリサイド化反応工程では、自己整合的にかつ同時にゲート上と、基体上とをシリサイド化することができる。したがって本発明によれば、一連の半導体装置の製造においてシリサイドプロセスとSACプロセスとの双方を両立させることができる。そしてこのことにより、ゲートおよび基体に形成されたS/D拡散層の低抵抗化と、トランジスタの微細化とを同時に図るので、高性能かつ微細な半導体装置を製造することができる。

【0046】またシリコン材料層の側壁に絶縁膜を形成した後、ゲートの側壁部にサイドウォールを形成すれば、絶縁膜がバッファー層となって、シリコン材料層とサイドウォールとの間に生じる応力が緩和されるので、電気的、電気的、物理的な信頼性が向上した半導体装置を製造することができる。

#### 【図面の簡単な説明】

【図1】(a)～(g)は本発明の第1実施例を工程順に示す説明図である。

【図2】(a)～(f)は本発明の第2実施例を工程順に示す説明図である。

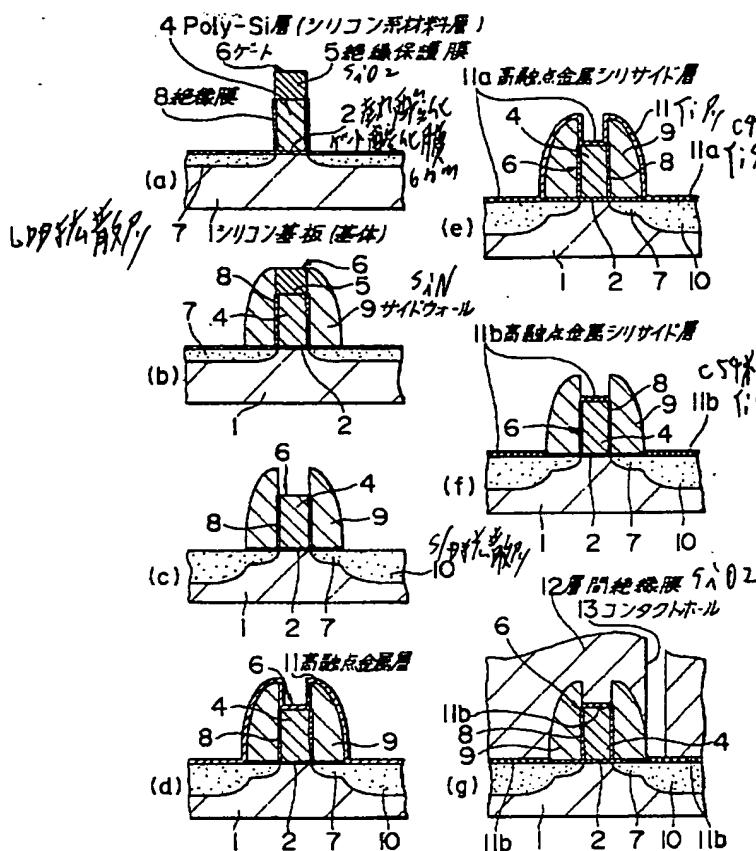
【図3】(a)～(c)は従来のシリサイドプロセスを工程順に示す説明図である。

【図4】(a)～(c)は従来のSACプロセスを工程順に示す説明図である。

#### 【符号の説明】

- 1 Si基板(基体)
- 4 Poly-Si層(シリコン系材料層)
- 5 絶縁保護膜
- 6 ゲート
- 8 絶縁膜
- 9 サイドウォール
- 10 高融点金属層
- 10a, 10b, 21a, 21b 高融点金属シリサイド層
- 12 層間絶縁膜
- 13 コンタクトホール
- 21 高融点金属化合物層

【図1】



【図2】

